Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Новосибирский государственный технический университет»
Кафедра полупроводниковых приборов и микроэлектроники

Паспорт экзамена

по дисциплине «Микропроцессорная техника», 3 семестр

1. Методика оценки

Экзамен проводится в устной форме, по билетам. Билет формируется по следующему правилу: первый вопрос выбирается из диапазона вопросов 1-6, второй из 7-12, третий из 13-19, четвертый и пятый – из задач 1-12 (список вопросов приведен ниже). В ходе экзамена преподаватель вправе задавать студенту дополнительные вопросы из общего перечня (п. 4).

Форма экзаменационного билета

НОВОСИБИРСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
Факультет РЭФ

Билет № _____
к экзамену по дисциплине «Микропроцессорная техника»

1. Понятия процессор, микропроцессор, микроконтроллер, контроллер
2. Статическое ОЗУ. Регистровое и матричное. Схема ячейки. Типы статического ОЗУ.
3. Структурная схема микропроцессора с характерными признаками CISC-архитектуры для работы с большими объемами оперативной памяти на примере микропроцессора 8086.
4. Разработать схему устройства, реализующего таблицу истинности:

A	B	C	Q (вых)
0	0	0	0
0	1	0	1
1	0	0	1
1	1	0	0
x	x	1	1

5. Записать в двоичном формате число (–52312)

Утверждаю: зав. кафедрой ____ _____ должность, ФИО
(подпись)
(дата)

2. Критерии оценки результатов обучения, соотнесенных с уровнями освоения индикаторов достижения компетенций

Ответ на экзаменационный билет засчитывается на **продвинутом** уровне, если студент проводит сравнительный комплексный анализ материала, выявляет проблемы, предлагает механизмы их решения, представляет количественные характеристики определенных процессов, приводит конкретные примеры, не допускает ошибок и способен обосновать выбор метода решения задачи. Совокупность результатов обучения по

дисциплине и соотнесенных с ними индикаторов достижения компетенций не содержит пробелов. Установленные в программе компетенции сформированы в полном объеме. Оценка составляет *от 35 до 40 баллов.*

Ответ на экзаменационный билет засчитывается на **базовом** уровне, если студент при ответе на вопросы формулирует основные понятия, дает характеристику процессов, явлений, проводит анализ причин, условий, способен представить количественные и качественные характеристики процессов, не допускает существенных ошибок при решении задачи. Совокупность результатов обучения по дисциплине и соотнесенных с ними индикаторов достижения компетенций содержит несущественные пробелы. Установленные в программе компетенции сформированы на базовом уровне. Оценка составляет *от 34 до* 27 *баллов.*

Ответ на экзаменационный билет засчитывается на **пороговом** уровне, если студент при ответе на вопросы дает определение основных понятий, может показать причинно-следственные связи явлений, при решении задачи допускает непринципиальные ошибки, например, вычислительные. Совокупность результатов обучения по дисциплине и соотнесенных с ними индикаторов достижения компетенций содержит пробелы. Установленные в программе компетенции сформированы на пороговом уровне. Оценка составляет *от* 26 *до* 20 *баллов.*

Ответ на экзаменационный билет считается **неудовлетворительным** (ниже порогового уровня), если студент при ответе на вопросы не дает определений основных понятий, не способен показать причинно-следственные связи явлений, при решении задачи допускает принципиальные ошибки. Совокупность результатов обучения по дисциплине и соотнесенных с ними индикаторов достижения компетенций содержит существенные пробелы. Установленные в программе компетенции не сформированы. Оценка составляет *менее* 20 *баллов.*

3. Шкала оценки

Экзамен считается сданным, если сумма баллов по всем заданиям билета составляет от 20 до 40 баллов включительно. Сумма менее 20 баллов признается неудовлетворительным результатом промежуточной аттестации по дисциплине.

В общей оценке по дисциплине экзаменационные баллы учитываются в соответствии с правилами балльно-рейтинговой системы, установленными в НГТУ.

4. Вопросы к экзамену по дисциплине «Микропроцессорная техника»

1. Понятия процессор, микропроцессор, микроконтроллер, контроллер
2. Бит как минимальная единица информации. Логические операции над битами. Аппаратная реализация битовых логических операций.
3. Арифметические операции над битами. Аппаратная реализация битовых арифметических операций.
4. Применение битовых операций для реализации логических и арифметических операций над числами. Двоичная система представления чисел.
5. Алгоритмы выполнения арифметических операций над числами в двоичном виде. Перечень элементарных операций, используемых в алгоритмах выполнения арифметических операций над числами в двоичном виде.
6. Структурная схема арифметическо-логического устройства. Команды управления АЛУ.
7. Классификация запоминающих устройств.
8. Постоянные запоминающие устройства. Отличительные особенности вариантов реализации.

9. RS-триггер, D-триггер, динамический D-триггер, регистр.

10. Статическое ОЗУ. Регистровое и матричное. Схема ячейки. Типы статического ОЗУ

11. ОЗУ статическое и динамическое. Сравнение. Области применения.

12. Динамическое ОЗУ. Конструкция ячейки. Приемы увеличения быстродействия ОЗУ в процессе эволюции.

13. Архитектура универсального микропроцессора

14. Функции устройства управления микропроцессора. Понятие микрокоманды. Варианты аппаратной реализации устройства управления микропроцессора. Характерные признаки RISC архитектуры. Предпосылки возникновения и развития CISC архитектуры.

15. Структурная схема микропроцессора с характерными признаками CISC-архитектуры для работы с большими объемами оперативной памяти на примере микропроцессора 8086.

16. Сравнение архитектуры процессоров 8086 и микроконтроллера

17. Микроконтроллер как компонент «встраиваемых» систем управления. Сочетание RISC-архитектуры с особенностями «встраиваемых» систем управления. Структурная схема микроконтроллера.

18. Математические основы цифровой обработки сигналов. Набор арифметических операций для реализации алгоритмов цифровой обработки сигналов. Требования к аппаратному обеспечению цифровой обработки сигналов. Структурная схема цифрового сигнального процессора. Характерные отличия архитектуры цифровых сигнальных процессоров от микропроцессоров общего назначения.

19. Архитектура цифровых сигнальных процессоров. Обоснование принятой архитектуры

Задачи

1. Разработать схему устройства, реализующего таблицу истинности:

A	B	C	Q
0	0	0	0
0	1	0	1
1	0	0	1
1	1	0	0
x	x	1	1

2. Разработать схему устройства, реализующего таблицу истинности:

A	B	C	Q1	Q2
0	0	1	0	1
0	1	1	1	1
1	0	1	1	1
1	1	1	1	0
x	x	0	0	1

3. Записать в двоичном формате число (–52312)

4. Записать в двоичном формате число (–61681)

5. Выполнить в двоичном виде математическую операцию: 26 – 92 = ?

6. Выполнить в двоичном виде перемножение чисел: –12 × 10 = ?

7. Разделить в двоичном виде число 105 на число 5

8. Найти ошибку в операции. При делении числа –33 на 3 в двоичном коде:

-33_{10} = 1101 1111 в дополнительном коде
$+03_{10}$ = 0011

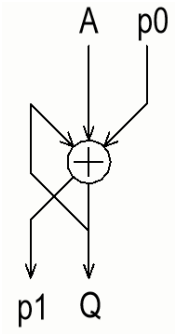
```
  11011111 | 0011
- 11       | 01001010 = 64×1 + 32×0 + 16×0 + 8×1 + 4×0 + 2×1 + 1×0 = 74₁₀
  000
- 000
   001
 - 000
    011
  - 011
     001
   - 000
      011
    - 011
       001
     - 000
         1 в остатке
```

9. Разработать схему аппаратного перемножения двух двухразрядных целых беззнаковых чисел без переноса из предыдущего разряда

10. Разработать схему аппаратного сложения двух двухразрядных целых беззнаковых чисел без переноса из предыдущего разряда

11. Разработать схему аппаратного деления двух двухразрядных целых беззнаковых чисел без переноса из предыдущего разряда

12. Разработать схему аппаратной реализации одноразрядной операции суммы с накоплением с учетом переноса из предыдущего разряда



Вход: разряд A, перенос из предыдущего разряда p0.
Выход: разряд Q = Q + A, перенос в следующий разряд p1.